

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-110843

(43)Date of publication of application : 12.04.2002

(51)Int.Cl.

H01L 23/12
H01L 21/301
H01L 25/00

(21)Application number : 2000-301675

(22)Date of filing : 02.10.2000

(71)Applicant : SANYO ELECTRIC CO LTD

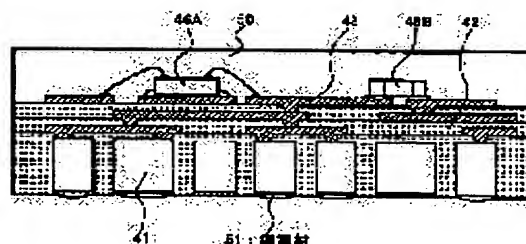
(72)Inventor : SAKAMOTO NORIAKI
KOBAYASHI YOSHIYUKI
SAKAMOTO JUNJI
OKADA YUKIO
IGARASHI YUUSUKE
MAEHARA EIJU
TAKAHASHI YUKITSUGU

(54) MANUFACTURING METHOD OF CIRCUIT BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a high mass-production manufacturing method for realizing a multilayer interconnection in a circuit device mounted with circuit elements using a ceramic board, a flexible sheet or the like as a support substrate.

SOLUTION: First-layer conductive patterns 41 isolated from each other by isolation grooves 31 are formed in a conductive foil 30. Thereafter, a plurality of layers of conductive patterns 43 are formed on the patterns 41 to form a multilayer interconnection structure. Moreover, circuit elements 46 are mounted on the multilayer interconnection structure, the elements 46 are molded with an insulative resin 50, and the rear of the foil 30 is etched. As a result, the manufacturing method suitable to a mass production for saving resources, can be realized with a circuit device having the multilayer structure of the patterns 41 and 43.



LEGAL STATUS

[Date of request for examination] 21.02.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3643764

[Date of registration] 04.02.2005

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-110843

(P2002-110843A)

(43) 公開日 平成14年4月12日 (2002.4.12)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 23/12		H 0 1 L 25/00	B
21/301		23/12	N
25/00		21/78	L

審査請求 未請求 請求項の数12 O L (全 10 頁)

(21) 出願番号 特願2000-301675(P2000-301675)

(22) 出願日 平成12年10月2日(2000.10.2)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 坂本 則明

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 小林 義幸

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74) 代理人 100091605

弁理士 岡田 敬 (外1名)

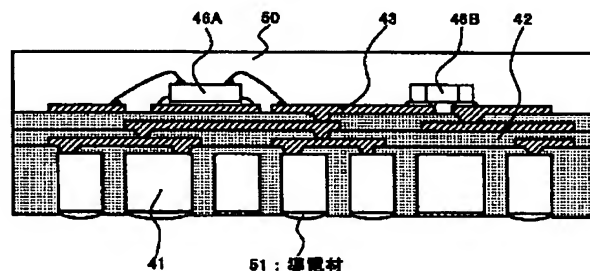
最終頁に続く

(54) 【発明の名称】 回路装置の製造方法

(57) 【要約】

【課題】 セラミック基板、フレキシブルシート等を支持基板として回路素子が実装された回路装置がある。しかし、この回路装置では多層配線を実現する量産性の高い製造方法が確立されていない問題があった。

【解決手段】 導電箔30に分離溝31で分離された第1層目の導電パターン41を形成した後、その上に複数層の導電パターン43を形成して多層配線構造を作り、更に回路素子46を実装し、絶縁性樹脂50でモールドし、導電箔30の裏面をエッチングして多層構造の導電パターン41、43を有する極めて省資源で大量生産に適した回路装置の製造方法を実現できる。



【特許請求の範囲】

【請求項 1】 導電箔を用意し、第 1 層目の導電パターンを除く領域の前記導電箔に前記導電箔の厚みよりも浅い分離溝を形成して第 1 層目の導電パターンを形成する工程と、
前記第 1 層目の導電パターン上に層間絶縁膜を介して複数層の導電パターンを形成する工程と、
所望の前記導電パターンに回路素子を組み込む工程と、
前記回路素子を被覆し全体を絶縁性樹脂でモールドする工程と、
前記分離溝を設けていない厚み部分の前記導電箔を除去する工程とを具備することを特徴とする回路装置の製造方法。

【請求項 2】 導電箔を用意し、第 1 層目の導電パターンを除く領域の前記導電箔に前記導電箔の厚みよりも浅い分離溝を形成して第 1 層目の導電パターンを形成する工程と、
前記第 1 層目の導電パターン上に層間絶縁膜を介して複数層の導電パターンを形成する工程と、
所望の前記導電パターンに回路素子を組み込む工程と、
前記回路素子を被覆し全体を絶縁性樹脂でモールドする工程と、
前記分離溝を設けていない厚み部分の前記導電箔を除去する工程と、
前記絶縁性樹脂を各々の前記回路素子を含み回路装置毎にダイシングにより分離する工程とを具備することを特徴とする回路装置の製造方法。

【請求項 3】 前記導電箔は銅、アルミニウム、鉄-ニッケルのいずれかで構成されることを特徴とする請求項 1 または請求項 2 に記載された回路装置の製造方法。

【請求項 4】 前記導電箔に選択的に形成される前記分離溝は化学的あるいは物理的エッチングにより形成されることを特徴とする請求項 1 または請求項 2 に記載された回路装置の製造方法。

【請求項 5】 前記層間絶縁膜として熱硬化性樹脂を用いることを特徴とする請求項 1 または請求項 2 に記載された回路装置の製造方法。

【請求項 6】 前記層間絶縁膜にビアホールをレーザーで形成することを特徴とする請求項 5 に記載された回路装置の製造方法。

【請求項 7】 前記層間絶縁膜として感光性レジスト層を用いることを特徴とする請求項 1 または請求項 2 に記載された回路装置の製造方法。

【請求項 8】 前記層間絶縁膜にビアホールを感光により形成することを特徴とする請求項 7 に記載された回路装置の製造方法。

【請求項 9】 前記複数層の導電パターンは銅メッキ層で形成されることを特徴とする請求項 1 または請求項 2 に記載された回路装置の製造方法。

【請求項 10】 前記銅メッキ層は無電界メッキおよび

電界メッキにより形成されることを特徴とする請求項 9 に記載された回路装置の製造方法。

【請求項 11】 前記回路素子は半導体ベアチップ、チップ回路部品のいずれかあるいは両方を固着されることを特徴とする請求項 1 または請求項 2 に記載された回路装置の製造方法。

【請求項 12】 前記絶縁性樹脂はトランスファーモールドまたはポッティングでモールドされることを特徴とする請求項 1 または請求項 2 に記載された回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、回路装置の製造方法に関し、特に支持基板を不要にした多層配線の回路装置の製造方法に関するものである。

【0002】

【従来の技術】従来、電子機器にセットされる回路装置は、携帯電話、携帯用のコンピューター等に採用されるため、小型化、薄型化、軽量化が求められている。

【0003】例えば、回路装置として半導体装置を例にして述べると、一般的な半導体装置として、従来通常のトランスファーモールドで封止されたパッケージ型半導体装置がある。この半導体装置は、図 11 のように、プリント基板 P S に実装される。

【0004】またこのパッケージ型半導体装置は、半導体チップ 2 の周囲を樹脂層 3 で被覆し、この樹脂層 3 の側部から外部接続用のリード端子 4 が導出されたものである。

【0005】しかしこのパッケージ型半導体装置 1 は、リード端子 4 が樹脂層 3 から外に出ており、全体のサイズが大きく、小型化、薄型化および軽量化を満足するものではなかった。

【0006】そのため、各社が競って小型化、薄型化および軽量化を実現すべく、色々な構造を開発し、最近では C S P (チップサイズパッケージ) と呼ばれる、チップのサイズと同等のウェハスケール C S P、またはチップサイズよりも若干大きいサイズの C S P が開発されている。

【0007】図 12 は、支持基板としてガラスエポキシ基板 5 を採用した、チップサイズよりも若干大きい C S P 6 を示すものである。ここではガラスエポキシ基板 5 にトランジスタチップ T が実装されたものとして説明していく。

【0008】このガラスエポキシ基板 5 の表面には、第 1 の電極 7、第 2 の電極 8 およびダイパッド 9 が形成され、裏面には第 1 の裏面電極 10 と第 2 の裏面電極 11 が形成されている。そしてスルーホール T H を介して、前記第 1 の電極 7 と第 1 の裏面電極 10 が、第 2 の電極 8 と第 2 の裏面電極 11 が電気的に接続されている。またダイパッド 9 には前記ベアのトランジスタチップ T が

10

20

30

40

50

固着され、トランジスタのエミッタ電極と第 1 の電極 7 が金属細線 12 を介して接続され、トランジスタのベース電極と第 2 の電極 8 が金属細線 12 を介して接続されている。更にトランジスタチップ T を覆うようにガラスエポキシ基板 5 に樹脂層 13 が設けられている。

【0009】前記 CSP 6 は、ガラスエポキシ基板 5 を採用するが、ウェハスケール CSP と違い、チップ T から外部接続用の裏面電極 10、11 までの延在構造が簡単であり、安価に製造できるメリットを有する。

【0010】また前記 CSP 6 は、図 11 のように、プリント基板 PS に実装される。プリント基板 PS には、電気回路を構成する電極、配線が設けられ、前記 CSP 6、パッケージ型半導体装置 1、チップ抵抗 CR またはチップコンデンサ CC 等が電氣的に接続されて固着される。

【0011】そしてこのプリント基板で構成された回路は、色々なセットの中に取り付けられる。

【0012】つぎに、この CSP の製造方法を図 13 および図 14 を参照しながら説明する。

【0013】まず基材（支持基板）としてガラスエポキシ基板 5 を用意し、この両面に絶縁性接着剤を介して Cu 箔 20、21 を圧着する。（以上図 13A を参照）続いて、第 1 の電極 7、第 2 の電極 8、ダイパッド 9、第 1 の裏面電極 10 および第 2 の裏面電極 11 に対応する Cu 箔 20、21 に耐エッチング性のレジスト 22 を被覆し、Cu 箔 20、21 をパターンニングする。尚、パターンニングは、表と裏で別々にしても良い。（以上図 13B を参照）続いて、ドリルやレーザを利用してスルーホール TH のための孔を前記ガラスエポキシ基板に形成し、この孔にメッキを施し、スルーホール TH を形成する。このスルーホール TH により第 1 の電極 7 と第 1 の裏面電極 10、第 2 の電極 8 と第 2 の裏面電極 11 が電氣的に接続される。（以上図 13C を参照）更に、図面では省略をしたが、ボンディングポストと成る第 1 の電極 7、第 2 の電極 8 に Ni メッキを施すと共に、ダイボンディングポストとなるダイパッド 9 に Au メッキを施し、トランジスタチップ T をダイボンディングする。

【0014】最後に、トランジスタチップ T のエミッタ電極と第 1 の電極 7、トランジスタチップ T のベース電極と第 2 の電極 8 を金属細線 12 を介して接続し、樹脂層 13 で被覆している。（以上図 13D を参照）以上の製造方法により、支持基板 5 を採用した CSP 型の電気素子が完成する。この製造方法は、支持基板としてフレキシブルシートを採用しても同様である。

【0015】一方、セラミック基板を採用した製造方法を図 14 のフローに示す。支持基板であるセラミック基板を用意した後、スルーホールを形成し、その後、導電ペーストを使い、表と裏の電極を印刷し、焼結している。その後、前製造方法の樹脂層を被覆するまでは図 13 の製造方法と同じであるが、セラミック基板は、非常

にもろく、フレキシブルシートやガラスエポキシ基板と異なり、直ぐに欠けてしまうため金型を用いたモールドができない問題がある。そのため、封止樹脂をポッティングし、硬化した後、封止樹脂を平らにする研磨を施し、最後にダイシング装置を使って個別分離している。

【0016】

【発明が解決しようとする課題】図 12 に於いて、トランジスタチップ T、接続手段 7～12 および樹脂層 13 は、外部との電氣的接続、トランジスタの保護をする上で、必要な構成要素であるが、これだけの構成要素で小型化、薄型化、軽量化を実現する回路素子を提供するのは難しかった。

【0017】また、支持基板となるガラスエポキシ基板 5 は、前述したように本来不要なものである。しかし製造方法上、電極を貼り合わせるため、支持基板として採用しており、このガラスエポキシ基板 5 を無くすことができなかった。

【0018】そのため、このガラスエポキシ基板 5 を採用することによって、コストが上昇し、更にはガラスエポキシ基板 5 が厚いために、回路素子として厚くなり、小型化、薄型化、軽量化に限界があった。

【0019】更に、ガラスエポキシ基板やセラミック基板では多層配線を実現するには必ずこれらの基板内に作り込むため、多層配線層を接続するスルーホール形成工程が不可欠であり、製造工程も長くなり量産に向かない問題もあった。

【0020】

【課題を解決するための手段】本発明は、前述した多くの課題に鑑みて成され、導電箔を用意し、第 1 層目の導電パターンを除く領域の前記導電箔に前記導電箔の厚みよりも浅い分離溝を形成して第 1 層目の導電パターンを形成する工程と、前記第 1 層目の導電パターン上に層間絶縁膜を介して複数層の導電パターンを形成する工程と、所望の前記導電パターンに回路素子を組み込む工程と、前記回路素子を被覆し全体を絶縁性樹脂でモールドする工程と、前記分離溝を設けていない厚み部分の前記導電箔を除去する工程と、前記絶縁性樹脂を各々の前記回路素子を含み回路装置毎にダイシングにより分離する工程とを具備することを特徴とする。

【0021】本発明では、導電パターンを形成する導電箔がスタートの材料であり、絶縁性樹脂がモールドされるまでは導電箔が支持機能を有し、モールド後は絶縁性樹脂が支持機能を有することで支持基板を不要にする多層配線を実現し、従来の課題を解決することができる。

【0022】

【発明の実施の形態】まず本発明の回路装置の製造方法について図 1 を参照しながら説明する。

【0023】本発明は、導電箔を用意し、第 1 層目の導電パターンを除く領域の前記導電箔に前記導電箔の厚みよりも浅い分離溝を形成して第 1 層目の導電パターンを

形成する工程と、前記第1層目の導電パターン上に層間絶縁膜を介して複数層の導電パターンを形成する工程と、所望の前記導電パターンに回路素子を組み込む工程と、前記回路素子を被覆し全体を絶縁性樹脂でモールドする工程と、前記分離溝を設けていない厚み部分の前記導電箔を除去する工程と、前記絶縁性樹脂を各々の前記回路素子毎にダイシングにより分離する工程から構成されている。

【0024】図1に示すフローは上述した工程とは一致していないが、Cu箔、ハーフエッチングの2つのフローで第1層目の導電パターンの形成が行われる。多層配線層形成のフローで導電箔上に複数層の導電パターンを形成する。ダイボンドおよびワイヤーボンディングの2つのフローで導電パターンへの回路素子の固着と回路素子の電極と導電パターンの接続が行われる。トランスファーマールドのフローでは絶縁性樹脂によるモールドが行われる。裏面Cu箔除去のフローでは分離溝のない厚み部分の導電箔のエッチングが行われる。裏面処理のフローでは裏面に露出した導電パターンの電極処理が行われる。ダイシングのフローでは絶縁性樹脂をダイシングして個別の回路素子への分離が行われる。

【0025】以下に、本発明の各工程を図2～図10を参照して説明する。

【0026】本発明の第1の工程は、図2から図4に示すように、導電箔を用意し、第1層目の導電パターンを除く領域の前記導電箔に前記導電箔の厚みよりも浅い分離溝を形成して第1層目の導電パターンを形成することにある。

【0027】本工程では、まず図2の如く、シート状の導電箔30を用意する。この導電箔30は、ロウ材の付着性、メッキ性が考慮されてその材料が選択され、材料としては、Cuを主材料とした導電箔、Alを主材料とした導電箔またはFe-Ni等の合金から成る導電箔等が採用される。

【0028】導電箔30の厚さは、後のエッチングを考慮すると10 μ m～300 μ m程度が好ましく、ここでは70 μ m(2オンス)の銅箔を採用した。しかし300 μ m以上でも10 μ m以下でも基本的には良い。後述するように、導電箔30の厚みよりも浅い分離溝31が形成できればよい。

【0029】尚、シート状の導電箔30は、所定の幅、例えば45mmでロール状に巻かれて用意され、これが後述する各工程に搬送されても良いし、所定の大きさにカットされた短冊状の導電箔30が用意され、後述する各工程に搬送されても良い。

【0030】続いて、第1層目の導電パターン41を形成する。

【0031】まず、図3に示す如く、Cu箔30の上に、ホトレジスト(耐エッチングマスク)PRを形成し、導電パターン41となる領域を除いた導電箔30が

露出するようにホトレジストPRをパターンニングする。そして、図4に示す如く、ホトレジストPRを介して導電箔30を選択的にエッチングする。

【0032】エッチングにより形成された分離溝31の深さは、例えば50 μ mであり、その側面は、粗面となるため絶縁性樹脂50との接着性が向上される。

【0033】またこの分離溝31の側壁は、模式的にストレートで図示しているが、除去方法により異なる構造となる。この除去工程は、ウェットエッチング、ドライエッチング、レーザによる蒸発、ダイシングが採用できる。ウェットエッチングの場合、エッチャントは、塩化第二鉄または塩化第二銅が主に採用され、前記導電箔は、このエッチャントの中にディッピングされるか、このエッチャントでシャワーリングされる。ここでウェットエッチングは、一般に非異方性にエッチングされるため、側面は湾曲構造になる。

【0034】またドライエッチングの場合は、異方性、非異方性でエッチングが可能である。現在では、Cuを反応性イオンエッチングで取り除くことは不可能といわれているが、スパッタリングで除去できる。またスパッタリングの条件によって異方性、非異方性でエッチングできる。

【0035】またレーザでは、直接レーザ光を当てて分離溝31を形成でき、この場合は、どちらかといえば分離溝31の側面はストレートに形成される。

【0036】本発明の第2の工程は、図5Aに示す如く、第1層目の導電パターン41上に層間絶縁膜42を介して複数層の導電パターン43を形成することにある。

【0037】本工程は本発明の特徴とするものであり、層間絶縁膜42と導電パターン43を積層することで多層配線構造を実現する。層間絶縁膜42としては非感光性の熱硬化性樹脂を用いる場合と、感光性のレジスト層を用いる場合とがある。熱硬化性樹脂としてはエポキシ樹脂やポリイミド樹脂が知られており、液状かドライフィルム状で供給される。レジスト層としては感光性のエポキシ樹脂、エポキシアクリレート樹脂、ポリイミド樹脂が知られており、同様に液状かドライフィルム状で供給される。

【0038】本工程では、図5Bに示す如く、まず第1層目の導電パターン41を化学研磨して表面のクリーニングと表面粗化を行う。次に、第1層目の導電パターン41上に熱硬化性樹脂で分離溝31および第1層目の導電パターン41全面を覆い、加熱硬化させて平坦な表面を有する層間絶縁膜42を形成する。更に、層間絶縁膜42には炭酸ガスレーザを用いて所望の第1層目の導電パターン41上に直径が100 μ m程度のビアホール44を形成する。その後、エキシマレーザを照射してエッチング滓を除去する。続いて、銅メッキ層45を層間絶縁膜42全面とビアホール44に形成する。この銅

メッキ層 45 はビアホール 44 の段差で断線しないように、まず無電界銅メッキして全面に約 $0.5\mu\text{m}$ と薄く形成し、続いて電界メッキにより約 $20\mu\text{m}$ の厚みに形成される。この銅メッキ層 45 はホトレジストを用いてパターンニングされて、第 2 層目の導電パターン 43 を形成する。

【0039】上述した工程を繰り返すことで、導電箔 30 上には何層もの導電パターン 43 を層間絶縁膜 42 を介して積層できる。しかもこの複数層の導電パターン 43 は第 1 層目の導電パターン 41 を形成した導電箔 30 で支持されているので、ガラスエポキシ基板等の支持基板を用いなくて多層配線構造を形成できる特徴を有する。

【0040】また、本工程で感光性のレジスト層で層間絶縁膜 42 を形成したときは、周知のホトレジストプロセスで感光された部分の層間絶縁膜 42 をアルコール系の溶剤で除去して、ビアホール 44 を形成する。他の工程は熱硬化性樹脂で層間絶縁膜 42 を形成したときと同じである。

【0041】本発明の第 3 の工程は、図 6 に示す如く、所望の導電パターン 43 に回路素子 46 を組み込むことにある。

【0042】回路素子 46 としては、トランジスタ、ダイオード、IC チップ等の半導体素子、チップコンデンサ、チップ抵抗等の受動素子である。また厚みが厚くはなるが、CSP、BGA 等のフェイスダウンの半導体素子も実装できる。

【0043】ここでは、ベアのトランジスタチップ 46 A が導電パターン 43 A にダイボンディングされ、エミッタ電極と導電パターン 43 B、ベース電極と導電パターン 43 B が、熱圧着によるボールボンディングあるいは超音波によるウェッジボンディング等で固着された金属細線 47 を介して接続される。また、チップコンデンサ等の受動素子 46 B は半田等のろう材または導電ペーストで導電パターン 43 に固着される。

【0044】本発明の第 4 の工程は、図 7 に示す如く、回路素子 46 を被覆し全体を絶縁性樹脂 50 でモールドすることにある。特に、導電箔 30 に設けた複数個の回路装置を 1 つの金型で共通モールドしている。

【0045】本工程では、絶縁性樹脂 50 は回路素子 46 A、46 B および導電パターン 43 を完全に被覆し、絶縁性樹脂 50 により導電パターン 43 が支持されている。

【0046】また本工程では、トランスファーモールド、インジェクションモールド、ポッティングまたはディッピングにより実現できる。樹脂材料としては、エポキシ樹脂等の熱硬化性樹脂がトランスファーモールドまたはポッティングで実現でき、ポリイミド樹脂、ポリフェニレンサルファイド等の熱可塑性樹脂はインジェクションモールドで実現できる。

【0047】導電パターン 43 の表面を被覆する絶縁性樹脂 50 の厚さは、回路素子 46 の金属細線 47 の最頂部から約 $100\mu\text{m}$ 程度が被覆されるように調整されている。この厚みは、強度を考慮して厚くすることも、薄くすることも可能である。

【0048】本工程の特徴は、絶縁性樹脂 50 を被覆するまでは、第 1 層目の導電パターン 41 となる導電箔 30 が支持基板となることである。従来では、図 12 の様に、本来必要としない支持基板 5 を採用して導電層 7 ~ 11 を形成しているが、本発明では、支持基板となる導電箔 30 は、電極材料として必要な材料である。そのため、構成材料を極力省いて作業できるメリットを有し、コストの低下も実現できる。

【0049】また分離溝 31 は、導電箔 30 の厚みよりも浅く形成されているため、導電箔 30 が第 1 層目の導電パターン 41 として個々に分離されていない。従ってシート状の導電箔 30 として一体で取り扱え、絶縁性樹脂 50 をモールドする際、金型への搬送、金型への実装の作業が非常に楽になる特徴を有する。

【0050】本発明の第 5 の工程は、図 8 に示す如く、分離溝 31 を設けていない厚み部分の導電箔 30 を除去することにある。

【0051】本工程は、導電箔 30 の裏面を化学的および/または物理的に除き、導電パターン 51 として分離するものである。この工程は、研磨、研削、エッチング、レーザの金属蒸発等により施される。

【0052】実験では研磨装置または研削装置により全面を $30\mu\text{m}$ 程度削り、分離溝 31 から絶縁性樹脂 50 を露出させている。この露出される面を図 7 で点線で示している。その結果、約 $40\mu\text{m}$ の厚さの第 1 層目の導電パターン 41 となって分離される。また、絶縁性樹脂 50 が露出する手前まで、導電箔 30 を全面ウェットエッチングし、その後、研磨または研削装置により全面を削り、絶縁性樹脂 50 を露出させても良い。更に、導電箔 30 を点線まで全面ウェットエッチングして絶縁性樹脂 50 を露出させても良い。

【0053】この結果、絶縁性樹脂 50 に第 1 層目の導電パターン 41 の裏面が露出する構造となる。すなわち、分離溝 31 に充填された絶縁性樹脂 50 の表面と第 1 層目の導電パターン 41 の表面は、実質的に一致する構造となっている。従って、本発明の回路装置では図 11 に示した従来の裏面電極 10、11 のように段差が設けられないため、マウント時に半田等の表面張力でそのまま水平に移動してセルフアラインできる特徴を有する。

【0054】更に、導電箔 30 の裏面処理を行い、図 9 に示す最終構造を得る。すなわち、必要によって露出した導電パターン 41 に半田等の導電材を被着して裏面電極 51 を形成し、回路装置 60 として完成する。なお裏面電極 51 を必要としない導電パターン 41 はエポキシ

樹脂系のレジスト材等の保護被膜 52 で覆うと良い。

【0055】本発明の第 6 の工程は、図 10 に示す如く、絶縁性樹脂 50 を各々の回路素子 46 を含む回路装置毎にダイシングにより分離することにある。

【0056】本工程では、導電箔 30 に行列状に多数個の回路装置 60 が形成され、黒く塗りつぶしたパターンが第 1 層目の導電パターン 41 を示している。白い部分は導電パターン 41 間および各回路装置 60 間の分離溝 31 を示している。この導電パターン 41 の下には、複数層の導電パターン 43 と層間絶縁膜 42 があり、最上層の導電パターン 43 の上に回路素子 46 が実装され、絶縁性樹脂 50 で被覆されている。すなわち、図 9 に示す回路装置 60 を裏返した状態になっている。

【0057】本工程では、絶縁性樹脂 50 で一体に支持された多数個の回路装置 60 をダイシングシート 62 に貼り付けて、ダイシング装置の載置台に真空中で吸着させ、ダイシングブレード 55 で各回路装置 60 間のダイシングライン 56 に沿って分離溝 31 の絶縁性樹脂 50 をダイシングし、個別の回路装置 60 に分離する。

【0058】本工程で、ダイシングブレード 55 は完全に絶縁性樹脂 50 を切断しダイシングシート 62 の表面に達する切削深さでダイシングを行い、完全に個別の回路装置 60 毎に分離する。ダイシング時は予め前述した第 1 の工程で設けた各ブロックの周辺の枠状のパターン 57 の内側に設けた位置合わせマーク 61 を認識して、これを基準としてダイシングを行う。周知ではあるが、ダイシングは縦方向にすべてのダイシングライン 56 をダイシングをした後、載置台を 90 度回転させて横方向のダイシングライン 56 に従ってダイシングを行う。

【0059】また本工程では、ダイシングライン 56 には分離溝 31 に充填された層間絶縁膜 42 と絶縁性樹脂 50 しか存在しないので、ダイシングブレード 55 は導電パターン 41、43 を切断せず摩耗は少なく、金属バリも発生せず極めて正確な外形にダイシングできる特徴がある。

【0060】更に本工程後でも、ダイシング後もダイシングシート 62 の働きで個別の回路装置 60 にバラバラにならず、その後のテーピング工程でも効率よく作業できる。すなわち、ダイシングシート 62 に一体に支持された回路装置 60 は良品のみを識別してキャリアテープの収納孔に吸着コレットでダイシングシート 62 から離脱させて収納できる。このために微小な回路装置 60 であっても、テーピングまで一度もバラバラに分離されない特徴がある。

【0061】

【発明の効果】本発明では、導電パターンの材料となる導電箔自体を支持基板として機能させ、分離溝の形成時あるいは回路素子の実装、絶縁性樹脂の被着時までは導電箔で全体を支持し、また導電箔を各導電パターンとして分離する時は、絶縁性樹脂を支持基板にして機能させ

ている。従って、回路素子、導電箔、絶縁性樹脂の必要最小限で製造できる。従来例で説明した如く、本来回路装置を構成する上で支持基板が要らなくなり、コスト的にも安価にできる。

【0062】また、本発明では、第 1 層目の導電パターン上に複数層の導電パターンを形成でき、しかもこれらの導電パターンは製造工程中には導電箔か絶縁性樹脂で支持されるので、従来のような支持絶縁基板を不要にできる。この結果、小型の回路装置であっても多層配線構造をその内部にビルトインでき、その支持基板も不要にできるので極めて薄型で小型の回路装置を大量に製造できる特徴がある。更に、ダイシング工程では位置合わせマークを用いてダイシングラインの認識が早く確実に行われる利点をし、ダイシングは層間絶縁膜および絶縁性樹脂層のみの切断でよく、導電パターンを切断しないことによりダイシングブレードの寿命も長くでき、導電箔を切断する場合に発生する金属バリの発生もない。

【0063】最後に、図 14 から明白なように、スルーホール形成工程、導体の印刷工程（セラミック基板の場合）等を省略できるので、従来より製造工程を大幅に短縮でき、全工程を内作できる利点を有する。またフレーム金型も一切不要であり、極めて短納期となる製造方法である。

【図面の簡単な説明】

【図 1】本発明の製造フローを説明する図である。

【図 2】本発明の回路装置の製造方法を説明する図である。

【図 3】本発明の回路装置の製造方法を説明する図である。

【図 4】本発明の回路装置の製造方法を説明する図である。

【図 5】本発明の回路装置の製造方法を説明する図である。

【図 6】本発明の回路装置の製造方法を説明する図である。

【図 7】本発明の回路装置の製造方法を説明する図である。

【図 8】本発明の回路装置の製造方法を説明する図である。

【図 9】本発明の回路装置の製造方法を説明する図である。

【図 10】本発明の回路装置の製造方法を説明する図である。

【図 11】従来の回路装置の実装構造を説明する図である。

【図 12】従来の回路装置を説明する図である。

【図 13】従来の回路装置の製造方法を説明する図である。

【図 14】従来の回路装置の製造方法を説明する図である。

【符号の説明】

31 分離溝
41 第1層目の導電パターン
42 層間絶縁膜
43 複数層の導電パターン

* 44

46

50

60

*

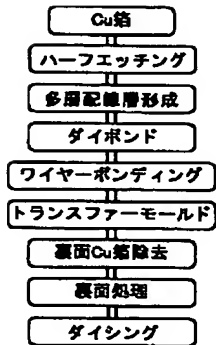
ビアホール

回路素子

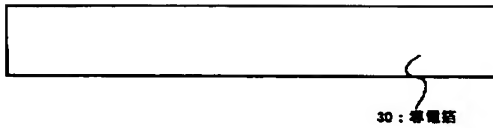
絶縁性樹脂

個別の回路装置

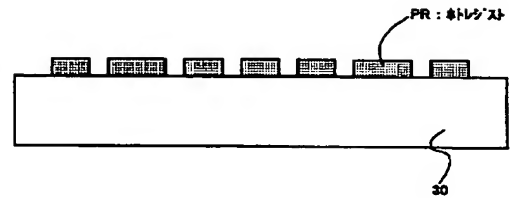
【図1】



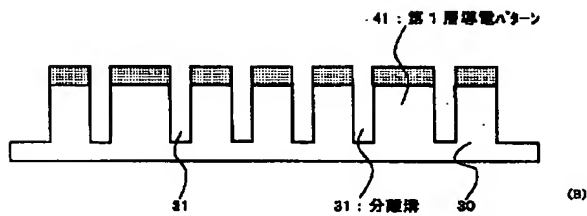
【図2】



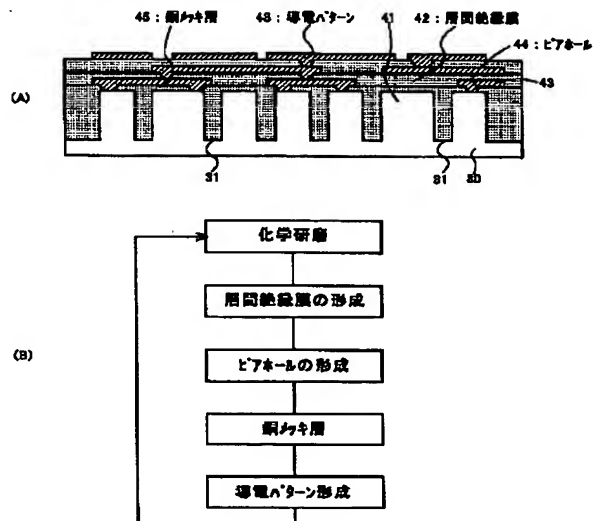
【図3】



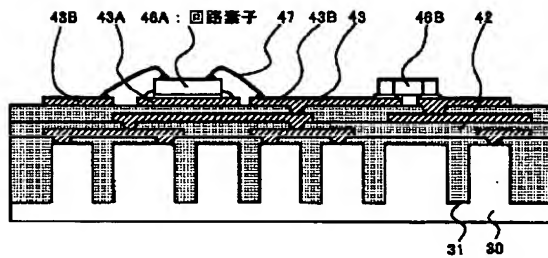
【図4】



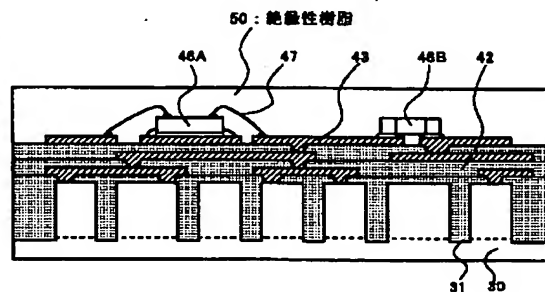
【図5】



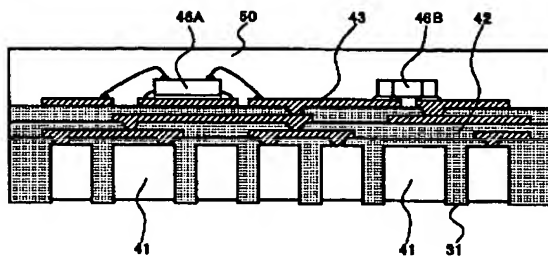
【図6】



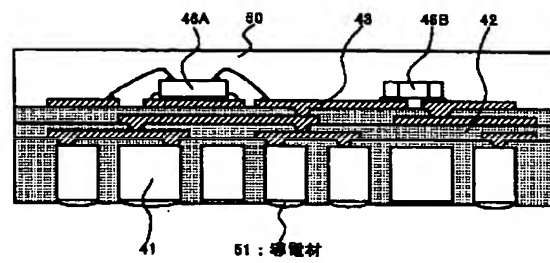
【図7】



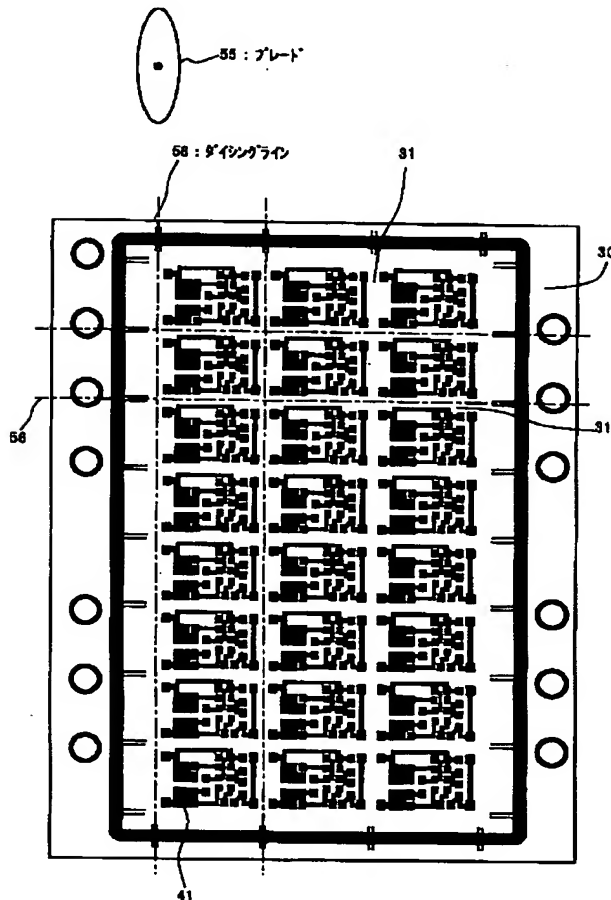
【図8】



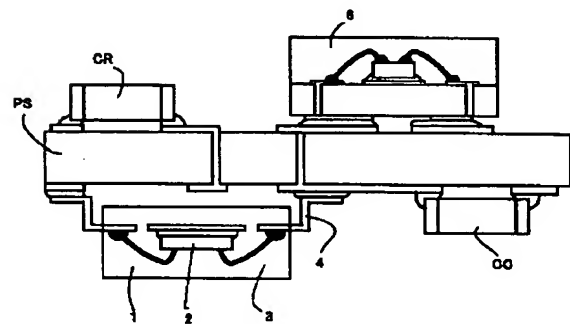
【図9】



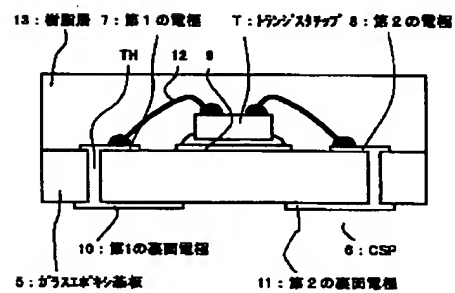
【図10】



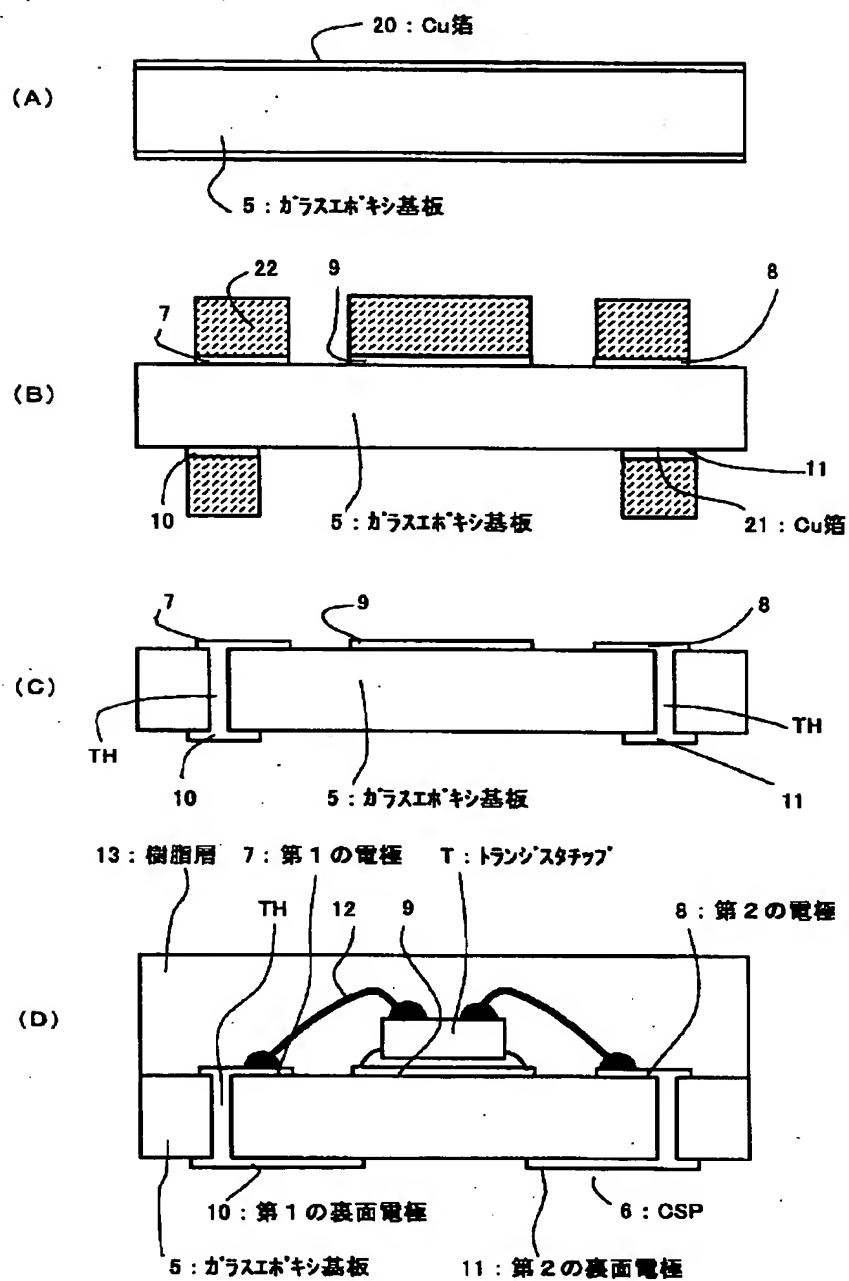
【図11】



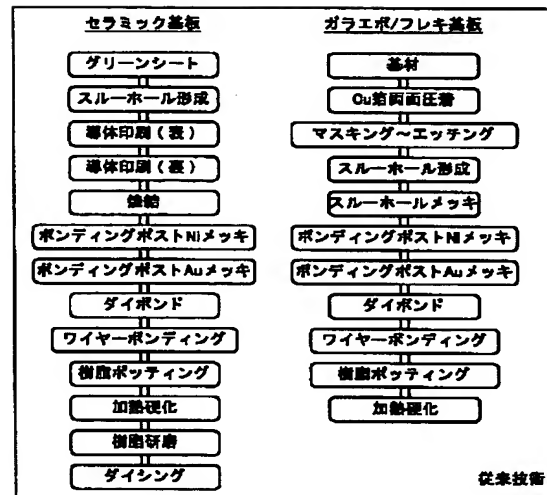
【図12】



【図13】



【図14】



フロントページの続き

- (72)発明者 阪本 純次
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
- (72)発明者 岡田 幸夫
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

- (72)発明者 五十嵐 優助
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
- (72)発明者 前原 栄寿
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
- (72)発明者 高橋 幸嗣
群馬県伊勢崎市喜多町29番地 関東三洋電
子株式会社内